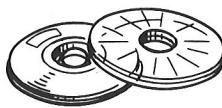


## システム解説



# 多目的利用CPUボードの開発

Development of Multipurpose CPU Board

山崎 鉄朗\*  
Tetsuro YAMAZAKI

栗山 晋\*\*  
Susumu KURIYAMA

## 1. まえがき

今日では、エレクトロニクス産業の発展によりさまざまな電化製品、電子機器、あるいは精密機械の中にマイクロプロセッサ(CPU)が組み込まれている。

当社においても数年前から開発を進め、現在実用にも供している多層盛り溶接ロボット(AUWEL2)のハードウェア部分に、このマイクロプロセッサ(以下CPU)を用いている。しかしながら、これらのCPUはすべて市販品であり、ハードウェア開発の際の時間的ロスが少なくて済むという利点はあるものの、こちらの意図するシステム構築に、これらが必ずしも最適であるとは限らない。

このような観点から、今回初めて自社開発による多目的CPUボードの基本設計および試作を行った。まだまだ十分満足のいくものとは言いかたいが、将来さらに開発を進めていくうえで参考になる、いくつかのノウハウを得ることができた。

本報告では、このCPUボードの開発目的、仕様、構造、機能、運用方法、および将来に向けての開発計画について紹介する。

## 2. 開発目的

開発目的は、三つに大別できる。以下順を追って説明する。

第1の目的は、ロボットコントロールのマルチユニット化である。開発時の問題を参考までにいくつか挙げるならば、

- ① 市販品の製造中止あるいはバージョンアップに伴い、システムの設計変更が必要となる。
- ② 既存システムの拡張、または機能追加などを行う

際、市販品では多くの場合トラブルが伴い、またシステム自体も複雑化する恐れがある。

- ③ 市販品であるため、改良やメンテナンスを行う際に不明確な部分が多い。
- などである。また、これらに対する対策としては、
- ① システムに組み込まれる市販品の数を減らし、また、仕様変更されやすいものの利用を避ける。
  - ② システムを細分化(ユニット化)して、機能などの追加・拡張を行いやすくする。
  - ③ 個別のユニットにも汎用性を持たせ、将来に向けての開発にも十分対応できるようにする。

などが考えられる。この対策を実行する手段の一つとして、CPUボードの自社開発を行ったわけである。

第2の目的としては、単にロボットコントロールとしてのユニットにとどまらず、データの収集、計測、あるいは機械制御など、他の目的にも十分使える多目的利用のCPUボードの開発である。

最後の目的は、最終目標でもあるマルチCPUシステムによる巨大プロセッサの構築である。これはすなわち、工場内の複数の機械制御コンピュータや計測システムを総合管理できる技術の開発である。

以上の目的を踏まえて開発を行った、多目的利用CPUボードに関する具体的な説明を以下の項で行う。

## 3. 本体仕様

図-1に本CPUボードのシステムブロック図を示す。以下、ハードウェア、ソフトウェアおよび現在拡張中のハードウェアの仕様について説明する。

### (1) ハードウェア部

- ① CPU: 8086-2(クロック8MHz)

② 標準実装メモリ

ROM : 16KB × 4 = 64KB  
(アドレス F0000~FFFFF)  
RAM : 32KB × 4 = 128KB  
(アドレス 00000~1FFFF)

③ バスバッファ

データバス : 74AS573  
アドレスバス : 74AS245  
コマンドバス : 74AS245  
 $I_L = 48 \text{ mA}$ ,  $I_H = 15 \text{ mA}$   
バスインピーダンス  $1\text{k}\Omega$ 以下

④ シリアルインターフェース

RS-232C : コンソールとして使用  
通信速度9600bps, 通信距離8 m  
RS-422 : 近距離通信用として使用  
通信速度9600bps, 通信距離200 m

⑤ パラレルインターフェース

プリンタ出力 : セントロニクス準拠  
32bit出力 : LED表示, リレー駆動  
32 bit入力 : キー入力, リレー駆動

⑥ 割り込み処理 : 8点TTLレベルにて入力  
(増設可能)

⑦ 増設メモリ : 512KB, S-RAM使用  
(アドレス 20000~9FFFF)

(2) ソフトウェア部

- ① モニタOS, リセットスタートプログラムなど。  
② コマンド例を次に示す。

D : Dump メモリイメージをコンソールへ出力。  
F : Full メモリをパラメータで埋める。  
G : Go ジョブの実行。  
L : Load メモリイメージの読み込み。  
M : Move メモリ間のブロック転送。  
R : Reg レジスタ内容の表示, 変更。  
S : Set メモリ内容の変更。  
W : Writ メモリイメージの書き出し。

③ 市販のパソコンなどで開発したプログラム(オブジェクトモジュール)をコンソールから読み込み, 実行できるなどの機能を持つ。

(3) 拡張中のハードウェア

現在拡張中のハードウェアについても, 若干触れておく。

- ① A/D変換 : 12 bit,  $\pm 10 \text{ V}$ 入力, 2 ch,  $f_s = 50 \text{ kHz}$   
② D/A変換 : 12 bit,  $\pm 10 \text{ V}$ 入力, 2 ch,  $f_n = 50 \text{ kHz}$   
③ バンクメモリ(A/D, D/A変換に使用) :

512 KB × 2 × 16 = 16 MB

なお, 実アドレスに最低64 KBのバンクウインドーを設けて, CPU側からの直接アクセスも行える。

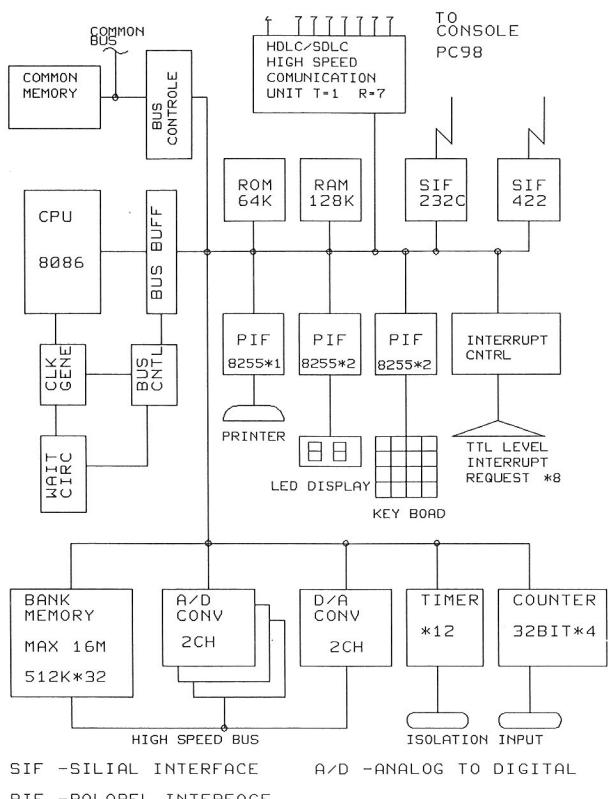


図-1 システムブロック図

④ タイマ(12点) : 高速用 3点(1~65535  $\mu\text{s}$ )

中速用 6点(1~65535 ms)

低速用 3点(1~65535 s)

⑤ カウンタ : 4 ch, 32 bit

(A, AB相エンコーダ入力にも対応)

⑥ 高速シリアルインターフェース :

$\mu$ PD7201(全2重, 1 Mbps)を使用

#### 4. 回路図

図-2にCPU周辺の基本回路図を示す。

8086CPUのTEST端子は, 通常Lowに落としてあるが, トレースなどデバッグが必要なときは, この端子をHighに上げ, トレースされるべきプログラムにWAIT命令を挿入し, またNMI端子(マスク不可能割り込み)よりトレースタイミング信号を入れて仮想実行する。IC8284へのWAIT入力は, CPUへのノットレディ(完了されていない)信号とする。ウェイトは標準で2ウェイト, 250 nsである。ただし今回は, マルチバス仕様ではなく, バスに共有システム用の周期信号などは設定されていない。また, バスラインはバッファにASタイプを指定し, 吸い込み48 mA, 吐き出し15 mAで, バスのインピーダンスは $1\text{k}\Omega$ 以下, ファンアウトは最大で10点とする。

CPUの停止要求RQ/GT端子はHighになっており, 外部アクセス(例えばDMAなど)は禁示されている。

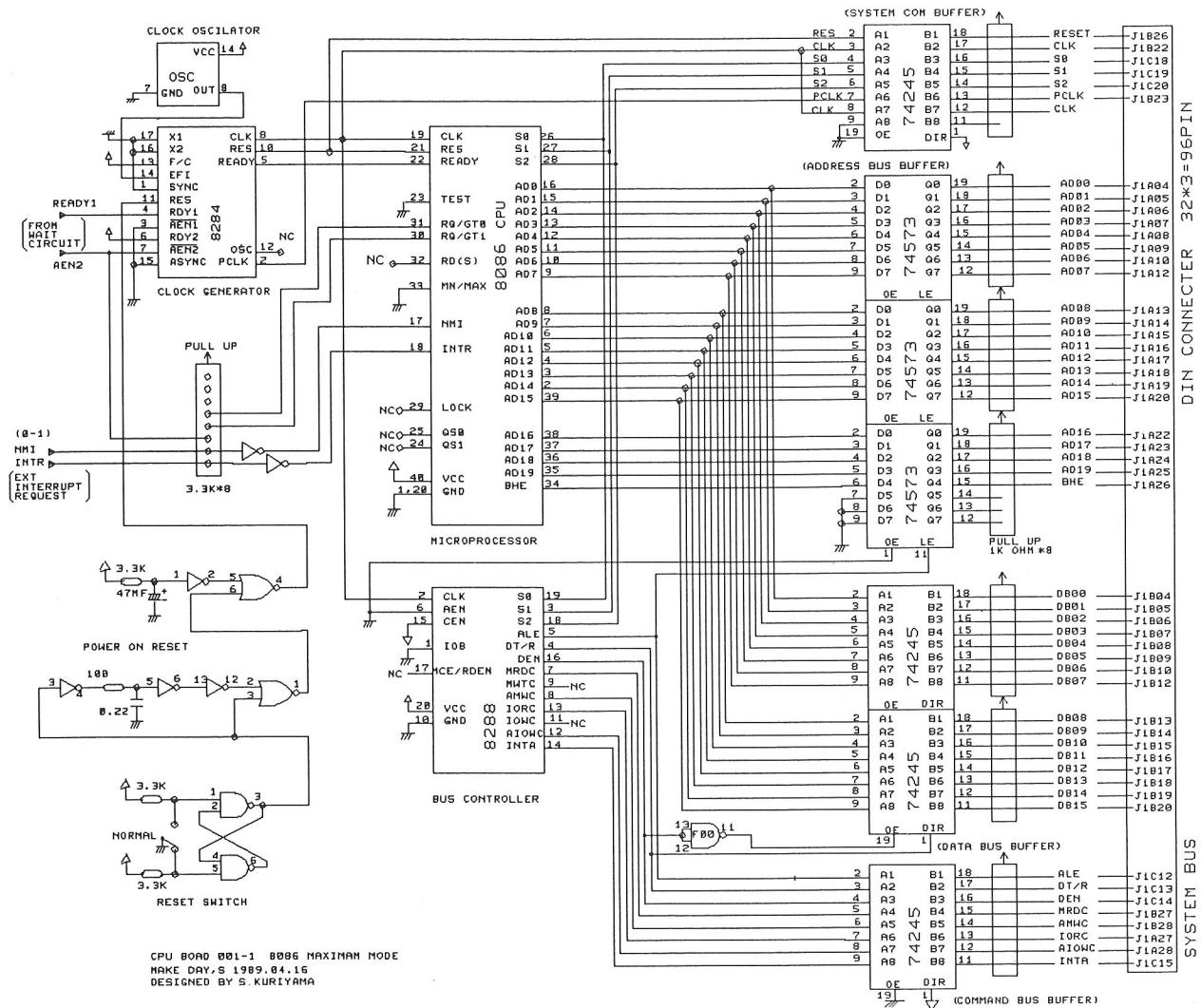


図-2 CPU周辺回路図

## 5. 外観

写真-1はCPUボードの外観、写真-2はラックおよび拡張基板の写真である。

ラックはマルチバスII仕様のものを改造して使用している。コネクタはDINの32×3ピンでJ1とJ2の2系統を持つ。ラック上部の白い箱はROMエミュレータである。

写真-3はラックに各種ボードを装着した状態、写真-4はシステム外観である。

基本接続は、7segLEDディスプレイと32点キー入力をフラットケーブルで接続、コンソールへDB25コネクタを介して接続されている。

ハードウェアの設計に当たっては、多目的利用を前提として機能の分散化を図り、できるだけCPUのコマンド信号を開放している。また、ソフトウェアの開発にはNEC PC-9801シリーズを用いているので、同シリーズを介してコンソール入出力が行える。ただし、ソフトウェアのROM化については、27128ROMタイプに対応して、

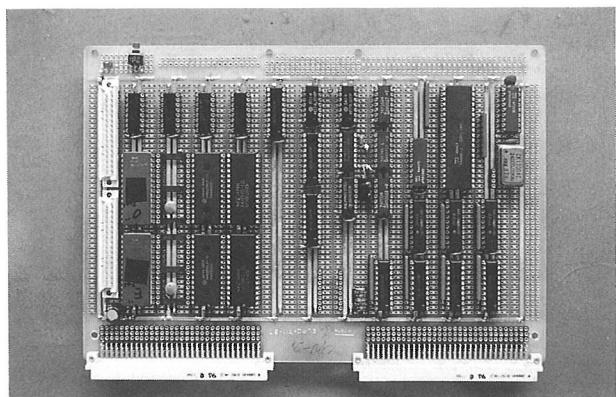


写真-1 CPUボード外観

PCシリーズで開発したプログラムを書き込むROMライターが必要である。

## 6. 動作確認および運用

動作確認の手順は、初めにモニタOSを起動し、次にコ

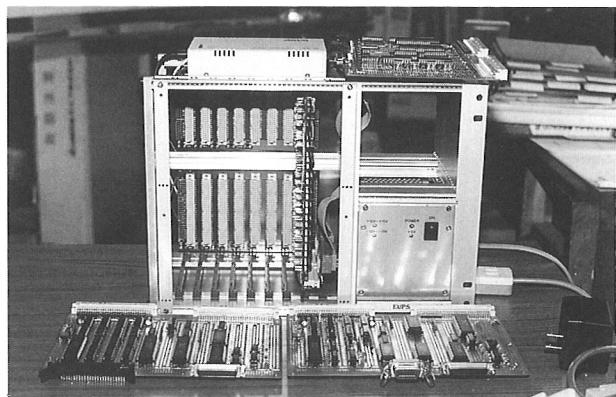


写真-2 ラックと拡張基板

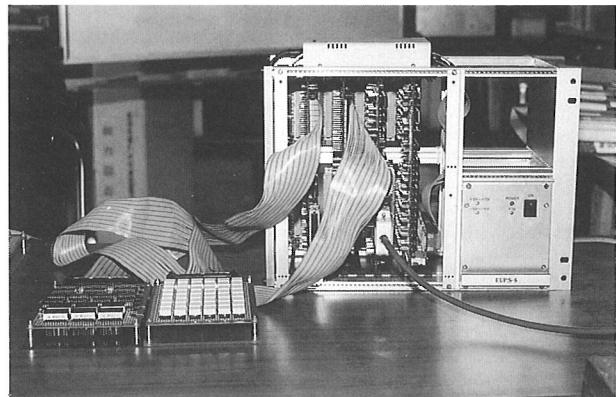


写真-3 ラックへの装着状態

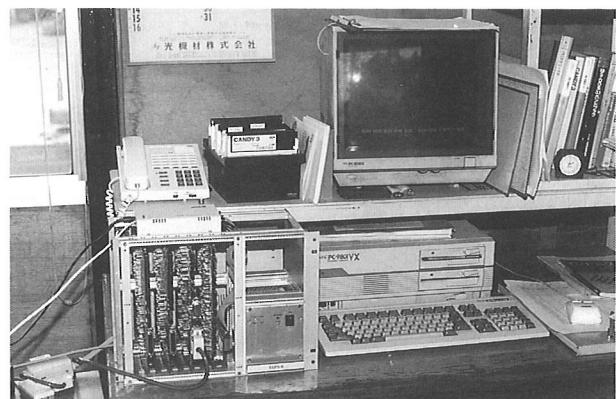


写真-4 システム外観

マンドを実行してメモリテストを行う。最後に入出力のLEDディスプレイおよびキーボードのチェックを確認する。また回線については、RS-422にて全2重、9600 bpsで200 m伝送を実行、動作を確認した。

本CPUボードの運用については、現在ロボット制御の前段階として、データの収集と計測システムへの組み込みを図っている。原理はロボットのセンサ部のデータ収集処理ブロックと同じであり、将来的に工場内の溶接などにおいて、電流、電圧、回転量あるいは熱量の解析に利用できるものと考えている。

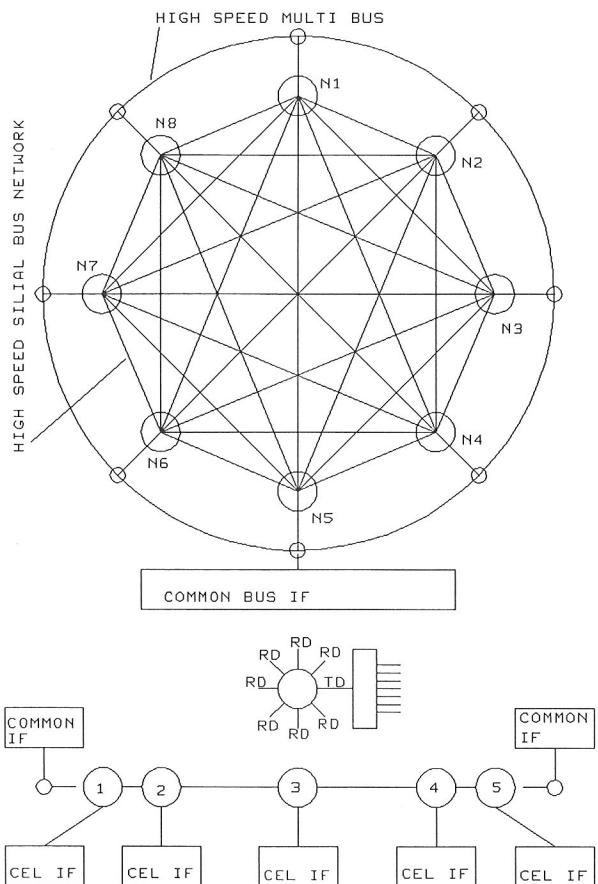


図-3 マルチCPUユニット

## 7. 将来の計画

図-3は、将来開発を考えているマルチCPUユニットの基本概念図である。一つのCPUを単位セルと見て、8個のセル集合体を1ユニットとする。さらに、このユニットをいくつか組み合わせることによりシステムを構築することができる。ユニットを形成するCPUセルは、8個が独立した通信機能を持ち、おのおの平等に配置される。

一つのセルは、独立して他の1~7個にトーカができる、7個の中から自由にリスナを選ぶことができる。

このシリアル通信網は、コマンド、通信拡張要求、小量データなどのみに用い、大容量データの変換については、これらのユニットを取り囲む高速パラレルバスで行う。このバスはユニットが共有するもので、トーカとリスナの1組しか同時に選定できない。

このようなマルチCPUユニットのメリットは、数多くあると思うが、現在はまだセルを開発している段階であり、すべてが完成されるまでには、まだまだ時間がかかるものと思う。

## 8. あとがき

現在、コンピュータの分野で注目されているものに、ニューロコンピュータとファジイ理論がある。ニューロ

コンピュータとは、動物の神経細胞における情報伝達機能、記憶、あるいは意思決定といったものを電気的に模倣しようとするものである。またファジイ理論は、従来のデジタルコンピュータの電気信号のONかOFFかという決定の仕方ではない、つまり「白か黒か」といった絶対的なものではなく、「白かもしれないし、また黒かもしれない」といった曖昧な決定を下すためのものである。一方では、AI(Artificial Intelligence:人工知能)やデータベースなどの研究も盛んであるが、これらの事柄は、現在使用されているコンピュータが、より人間の脳に近い働きをさせるには、ハードウェアの面でもソフトウェアの面でも限界にきていることを指し示している。

今回試作したCPUボードは、言ってみれば一つの細胞にすぎない。この細胞一つでは何の働きもしないが、他の細胞すなわちシリアル・パラレル入出力ユニットやA/D・D/Aコンバータユニットといったものと有機的に結合させることによって、多くの機能を発揮することができる。市販のパーソナルコンピュータに限らずスーパーコンピュータと呼ばれる超大型のものに至るまで、コンピュータはこれと同じ形で構成されている。

ある面では、われわれは市販のパーソナルコンピュータと同じようなものを開発しようとしているわけであるが、まえがきでも述べたように、現在の市販品にはわれわれの目的とするシステムに100%合致するものがなく、こちらの欲する機能をやむなく切り捨てて、市販品にシステムを適合させているのが現状である。これもまた、特殊な分野でコンピュータを高度に利用する場合の、市販の汎用コンピュータの限界といえる。現在のところ、ある程度機能が不足しても人間によるカバーが可能であるが、将来にわたってそれは期待できない。少しでも完成度の高いシステムとするため、本文で報告したCPUボードやあるいは他のユニットを引き続き開発していく所存である。